

Abstract of the Disclosure:

The invention relates to a switching transistor presenting reduced switching losses. In the switching transistor, output capacitance is very high when drain/source voltages are low.

- 5 As the drain/source voltage increases, the capacitance falls to such low values that the energy stored in the transistor becomes very low.

MPW/tk

PCT WELTOORGANISATION FÜR GEISTIGES EIGENTUM
 INTERNATIONALE ANMELDUNG VERÖFFENTLICH NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

J1011 U.S. PTO
09/004325

03/12/01

(51) Internationale Patentklassifikation ⁷ : H01L 29/78	A2	(11) Internationale Veröffentlichungsnummer: WO 00/16407 (43) Internationales Veröffentlichungsdatum: 23. März 2000 (23.03.00)
(21) Internationales Aktenzeichen: PCT/DE99/02874 (22) Internationales Anmeldedatum: 10. September 1999 (10.09.99)		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(30) Prioritätsdaten: 198 41 754.3 11. September 1998 (11.09.98) DE		Veröffentlicht Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wimelbacherplatz 2, D-80333 München (DE).		
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): DEBOY, Gerald [DE/DE]; Hauptstraße 10, D-82008 Unterhaching (DE), MÄRZ, Martin [DE/DE]; Widderweg 21D, D-85570 Markt Schwaben (DE); HIRLER, Franz [DE/DE]; Mozartstraße 4, D-84424 Isen (DE); WEBER, Hans [DE/DE]; Saulachau 112, D-83404 Albring (DE).		
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).		
(54) Titel: SWITCHING TRANSISTOR WITH REDUCED SWITCHING LOSSES		
(54) Bezeichnung: GESCHALTETES NETZTEIL MIT REDUIZIERTEN SCHALTVERLUSTEN		
(57) Abstract		
<p>The invention relates to a switching transistor presenting reduced switching losses. In said switching transistor output capacitance is very high when drain/source voltages are low. As the drain/source voltage increases said capacitance falls to such low values that the energy stored in the transistor becomes very low.</p>		
<p>(57) Zusammenfassung</p> <p>Die Erfindung betrifft einen Schaltransistor mit reduzierten Schaltverlusten. Bei diesem Schaltransistor hat die Ausgangskapazität bei kleinen Drain-Source-Spannungen sehr hohe Werte, wobei diese Kapazität mit steigender Drain-Source-Spannung auf so kleine Werte abfällt, daß die im Transistor gespeicherte Energie sehr niedrige Werte annimmt.</p>		
<p>Graph showing Output Capacitance (C_{ds}) in pF versus Drain-to-Source Voltage (U_{ds}) in V. The Y-axis is logarithmic from 10 to 10,000 pF. The X-axis ranges from 0 to 300 V. Three curves are shown:</p> <ul style="list-style-type: none"> A: Standard-MOSFET B: STANDARD MOSFET C: Erfindungsgemäßiger MOSFET D: MOSFET PROVIDED FOR IN THE INVENTION 		
<p>• A AND GREENBERG PA. • B BOX 480 • HOTTYWOOD, FLORIDA 33022 • TEL. (321) 325-1100</p>		